

Médian MC43 : numérisation et transfert des données

Etude de la conception d'une carte de mesure

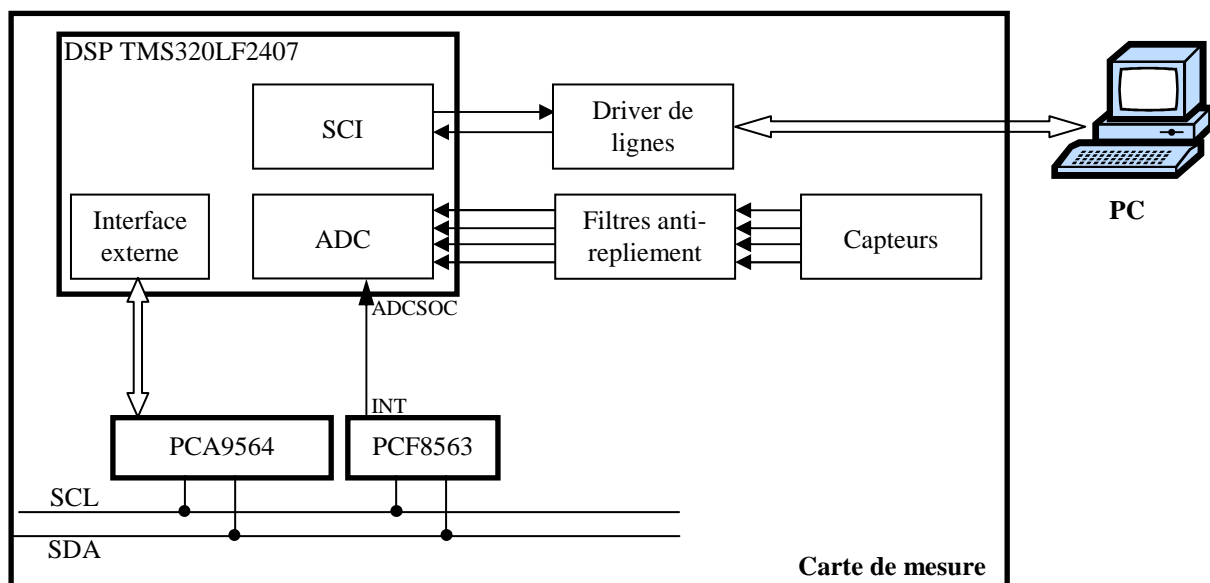
On étudie la conception d'une carte de mesure constituée du DSP contrôleur TMS320LF2407A cadencé à 40MHz, des capteurs et conditionneurs associés, du contrôleur I2C PCA9564 et de l'horloge temps réel I2C PCF8563. La carte doit permettre de réaliser l'échantillonnage à fréquence fixe $F_{ech} = 1/60$ Hz (Tech = 1 mn) des voies analogiques 0, 1, 2 et 3, du module ADC du DSP contrôleur. Le module ADC est configuré en mode séquenceurs cascades (SEQ1 de 16 voies uniquement), start-stop (et non Continuous run), déclenchement des conversions par la broche externe ADCSOC et déclenchement des interruptions en mode0 liées au vecteur INT1.

L'horloge temps réel PCF8563 est utilisée pour dater précisément les échantillons et cadencer l'échantillonnage à F_{ech} par utilisation de sa fonction alarme. La broche INT du PCF8563 est utilisée pour déclencher les conversions analogiques numériques du DSP (broche ADCSOC du DSP). Le masque AIE et l'indicateur AF du registre « control2 » du PCF8563 ainsi que le bit AE du registre « minute alarm » permettent d'autoriser et réinitialiser le déclenchement d'interruption lors du déclenchement de l'alarme. Seules les minutes sont utiles pour définir l'instant de déclenchement de l'alarme.

Les données mesurées et la date sont transmises par liaison série à un PC de stockage et d'analyse des données. La liaison SCI sera configurée à 115200 bauds, 8 bits de données, un bit de stop, pas de parité. La liaison filaire entre la carte de mesure et le PC mesure environ 10 mètres.

Les traitements logiciels sont gérés par une fonction d'interruption déclenchée par le module ADC à chaque fin de séquence de conversion. Cette fonction fera appel à plusieurs fonctions élémentaires dont les rôles sont :

- LIRE_ADC() : lecture des 4 résultats de conversion du module ADC
- LIRE_DATE() : lecture de la date du PCF8563 (secondes, minutes, heures, jour)
- RAZ_FLAG_DSP() : réinitialisation des indicateurs d'interruption du DSP
- RAZ_FLAG_RTC() : réinitialisation des indicateurs d'interruption du PCF8563
- PROG_ALARM() : programmation de la prochaine alarme du PCF8563 (Tech = 1 mn)
- TRANS_SCI() : transmission sur la liaison SCI des 4 résultats de conversion et de la date



1. Indiquer quelle doit être la fréquence de coupure des filtres anti-repliement.
2. On considère un signal analogique fictif constitué de la superposition de deux composantes de même amplitude et de fréquences $F1 = 1/240$ Hz et $F2 = 1/96$ Hz. Représenter le spectre valide (entre 0 et $F_{ech}/2$) du signal après échantillonnage dans les deux cas suivants : sans et avec filtre anti-repliement (en respectant l'échelle des fréquences).
3. Indiquer quels sont les standards de support physiques utilisables pour la liaison série reliant la carte de mesure et le PC. Indiquer également le nombre de fils constituant la liaison.
4. Déterminer les valeurs de ADCTRL1 et ADCTRL2 initialisant le module ADC.
5. La fonction d'interruption ***void interrupt interADC(void)*** liée à l'interruption INT1 doit s'exécuter à chaque fin de séquence de conversion. Indiquer comment initialiser la table des vecteurs d'interruption.
6. Ecrire en langage C la fonction ***void LIRE_ADC(void)***. Les résultats de conversion seront justifiés à droite et mémorisés dans 4 variables globales de 16 bits v0, v1, v2 et v3.
7. Représenter la trame I2C permettant de lire la date (la fonction ***void LIRE_DATE(void)*** n'est pas à écrire). Faire apparaître toutes les informations permettant au programmeur de coder sans erreur la séquence (adresse, sens des acquittements, etc.). Les secondes, minutes, heures, jour du mois seront mémorisés dans les variables s, m, h et j.
8. Ecrire en langage C la fonction ***void RAZ_FLAG_DSP(void)***.
9. Représenter la trame I2C permettant de définir le contenu de la fonction ***void RAZ_FLAG_RTC(void)***.
10. Représenter la trame I2C permettant de définir le contenu de la fonction ***void PROG_ALARM(void)***. La variable globale m_alarm représente l'instant de déclenchement de l'alarme en minutes.
11. Représenter la trame générée sur la sortie TX du DSP dans le cas de la transmission de l'octet 0x27, en précisant les niveaux de tension.
12. Ecrire en langage C la fonction ***void envoi(char x)*** réalisant la transmission d'un octet sur la liaison SCI.
13. Ecrire en langage C la fonction ***void TRANS_SCI(void)***. La fonction envoie d'abord la lettre 'M' suivie des variables dans l'ordre suivant : v0, v1, v2, v3, s, m, h et j. Dans le cas des variables de 16 bits le protocole impose de transmettre l'octet de poids faible en premier puis l'octet de poids fort.
14. Ecrire en langage C la fonction d'interruption ***void interrupt interADC(void)*** faisant appel aux fonctions définies ci-dessus et assurant la gestion de la variable m_alarm.
15. Evaluer la durée d'exécution de la fonction d'interruption ***void interrupt interADC(void)*** en négligeant les temps de calcul du DSP par rapport au temps de transit des trames I2C et SCI. Indiquer si cette durée est compatible avec la fréquence d'échantillonnage de 1/60 Hz en expliquant pourquoi.

Module SCI

Address	Register Mnemonic	Bit Number								Register Name
		7	6	5	4	3	2	1	0	
7050h	SCICCR	STOP BITS	EVEN/ODD PARITY	PARITY ENABLE	LOOP-BACK ENA	ADDR/IDLE MODE	SCI CHAR2	SCI CHAR1	SCI CHAR0	Communication control
7051h	SCICTL1	Reserved	RX ERR INT ENA	SW RESET	Reserved	TXWAKE	SLEEP	TXENA	RXENA	SCI control register1
7052h	SCIHBAUD	BAUD15 (MSB)	BAUD14	BAUD13	BAUD12	BAUD11	BAUD10	BAUD9	BAUD8	Baud rate (MSbyte)
7053h	SCILBAUD	BAUD7	BAUD6	BAUD5	BAUD4	BAUD3	BAUD2	BAUD1	BAUD0 (LSB)	Baud rate (LSbyte)
7054h	SCICTL2	TXRDY	TX EMPTY	Reserved				RX/BK INT ENA	TX INT ENA	SCI control register 2
7055h	SCIRXST	RX ERROR	RXRDY	BRKDT	FE	OE	PE	RXWAKE	Reserved	Receiver status

Module ADC

ADCTRL1								ADCTRL2							
15	14	13	12	11	10	9	8	15	14	13	12	11	10	9	8
Reserved	RESET	SOFT	FREE	ACQ PS3	ACQ PS2	ACQ PS1	ACQ PS0	EVB SOC SEQ1	RST SEQ1/ STRT CAL	SOC SEQ1	SEQ1 BSY	INT ENA SEQ1 (Mode 1)	INT ENA SEQ1 (Mode 0)	INT FLAG SEQ1	EVA SOC SEQ1
	RS-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RS-0	RW-0	R-0	RW-0	RW-0	RC-0	RW-0
7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
CPS	CONT RUN	INT PRI	SEQ CASC	CAL ENA	BRG ENA	HI/LO	STEST ENA	EXT SOC SEQ1	RST SEQ2	SOC SEQ2	SEQ2 BSY	INT ENA SEQ2 (Mode 1)	INT ENA SEQ2 (Mode 0)	INT FLAG SEQ2	EVB SOC SEQ2
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RS-0	RW-0	R-0	RW-0	RW-0	RC-0	RW-0

Note: R = Read access, W = Write access, S = Set only, -0 = value after reset

PCF8563 : Horloge temps réel (Extrait du datasheet)

8.1 Alarm function modes

By clearing the MSB (bit AE = Alarm Enable) of one or more of the alarm registers, the corresponding alarm condition(s) will be active. In this way an alarm can be generated from once per minute up to once per week. The alarm condition sets the alarm flag, AF (bit 3 of Control/Status 2 register). The asserted AF can be used to generate an interrupt (INT). Bit AF can only be cleared by software.

Slave address.

1	0	1	0	0	0	1	R/W
← group 1 →				← group 2 →			

Register organization

Table 4: Binary formatted registers overview
Bit positions labelled with x are not implemented. Bit positions labelled with 0 should always be written with logic 0; if read they could be either logic 0 or logic 1.

Address	Register name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00H	control/status 1	TFST1	0	STOP	0	TFSTC	0	0	0
01H	control/status 2	0	0	0	TI/TP	AF	TF	AIE	TIE
0DH	CLKOUT control	FE	x	x	x	x	x	FD1	FD0
0EH	timer control	TE	x	x	x	x	x	TD1	TD0
0FH	timer								<timer countdown value>

Table 5: BCD formatted registers overview
Bit positions labelled with x are not implemented.

Address	Register name	BCD format tens nibble				BCD format units nibble			
		Bit 7 2 ³	Bit 6 2 ²	Bit 5 2 ¹	Bit 4 2 ⁰	Bit 3 2 ³	Bit 2 2 ²	Bit 1 2 ¹	Bit 0 2 ⁰
02H	seconds	VL				<seconds 00 to 59 coded in BCD>			
03H	minutes	x				<minutes 00 to 59 coded in BCD>			
04H	hours	x	x			<hours 00 to 23 coded in BCD>			
05H	days	x	x			<days 01 to 31 coded in BCD>			
06H	weekdays	x	x	x	x	<weekdays 0 to 6>			
07H	months/century	C	x	x		<months 01 to 12 coded in BCD>			
08H	years					<years 00 to 99 coded in BCD>			
09H	minute alarm	AE				<minute alarm 00 to 59 coded in BCD>			
0AH	hour alarm	AE	x			<hour alarm 00 to 23 coded in BCD>			
0BH	day alarm	AE	x			<day alarm 01 to 31 coded in BCD>			
0CH	weekday alarm	AE	x	x	x	<weekday alarm 0 to 6>			

Table 9: Seconds/VL (address 02H) bits description

Bit	Symbol	Value	Description
7	VL	0	clock integrity is guaranteed
		1	integrity of the clock information is no longer guaranteed
6 to 0	seconds	00 to 59	this register holds the current seconds coded in BCD format; example: seconds register contains x101 1001 = 59 seconds

8.6.2 Control/Status 2 register

Table 7: Description of Control/Status 2 register bits description (address 01H)

Bit	Symbol	Description
7 to 5	0	By default set to logic 0.
4	TI/TP	TI/TP = 0: INT is active when TF is active (subject to the status of TIE). TI/TP = 1: INT pulses active according to Table 6 (subject to the status of TIE). Note that if AF and AIE are active then INT will be permanently active.
3	AF	When an alarm occurs, AF is set to logic 1. Similarly, at the end of a timer countdown, TF is set to logic 1. These bits maintain their value until overwritten by software. If both timer and alarm interrupts are required in the application, the source of the interrupt can be determined by reading these bits. To prevent one flag being overwritten while clearing another, a logic AND is performed during a write access. See Table 9 for the value descriptions of bits AF and TF.
2	TF	
1	AIE	Bits AIE and TIE activate or deactivate the generation of an interrupt when AF or TF is asserted, respectively. The interrupt is the logical OR of these two conditions when both AIE and TIE are set.
0	TIE	AIE = 0: alarm interrupt disabled; AIE = 1: alarm interrupt enabled. TIE = 0: timer interrupt disabled; TIE = 1: timer interrupt enabled.

Table 8: INT operation (bit TI/TP = 1)

Source clock (Hz)	INT ^[1] period (s)	
	n ^[2] = 1	n > 1
4096	1/8192	1/4096
64	1/128	1/64
1	1/64	1/64
1/60	1/64	1/64

[1] TF and INT become active simultaneously.
[2] n = loaded countdown timer value. Timer stopped when n = 0.

Table 9: Value descriptions for bits AF and TF

R/W	Bit: AF		Bit: TF	
	Value	Description	Value	Description
Read	0	alarm flag inactive	0	timer flag inactive
	1	alarm flag active	1	timer flag active
Write	0	alarm flag is cleared	0	timer flag is cleared
	1	alarm flag remains unchanged	1	timer flag remains unchanged

Clock/calendar read/write cycles

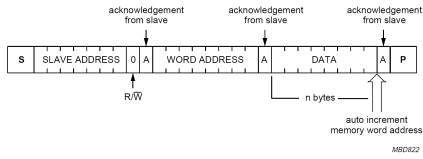


Fig 13. Master transmits to slave receiver (write mode).

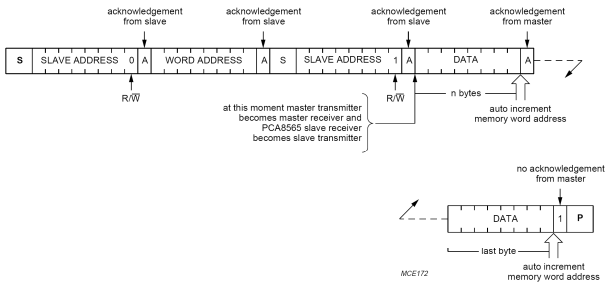


Fig 14. Master reads after setting word address (write word address; read data).

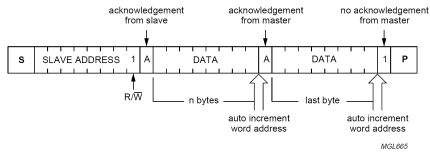


Fig 15. Master reads slave immediately after first byte (read mode).

Table 14: Weekday assignments

Day	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Sunday	x	x	x	x	x	0	0	0
Monday	x	x	x	x	x	0	0	1
Tuesday	x	x	x	x	x	0	1	0
Wednesday	x	x	x	x	x	0	1	1
Thursday	x	x	x	x	x	1	0	0
Friday	x	x	x	x	x	1	0	1
Saturday	x	x	x	x	x	1	1	0

Table 15: Months/century (address 07H) bits description

Bit	Symbol	Value	Description
7	century ¹		this bit is toggled when the years register overflows from 99 to 00
		0	indicates the century is 20xx
		1	indicates the century is 19xx
4 to 0	month	01 to 12	this register holds the current month coded in BCD format, see Table 16