

Médian MC43 : numérisation et transfert des données

Exercice 1 : Acquisition de données (5 points)

On étudie la mise en œuvre de l'acquisition de plusieurs signaux analogiques par le DSP contrôleur TMS320LF2407A cadencé à 40MHz. Le contenu harmonique des signaux analogiques doit être intégralement préservé par leur numérisation. On sait à priori que ces contenus harmoniques se limitent à des fréquences comprises entre 0 et 5 kHz. L'échantillonnage s'effectuera à fréquence fixe. On étudie l'acquisition de 4 signaux analogiques appliqués sur les voies 0 à 3 du module ADC. Les séquences de conversion sont déclenchées par le timer3 et la sauvegarde des échantillons en mémoire s'effectuent par la fonction d'interruption liée à INT1 et déclenchées par le module ADC.

Question 1 (0.5 point) :

Indiquer comment choisir la fréquence d'échantillonnage et donner sa valeur.

Question 2 (0.5 point) :

Indiquer quel serait l'intérêt d'un filtre anti-repliement et donner sa fréquence de coupure.

Question 3 (1 point) :

Ecrire en langage C la fonction d'initialisation du Timer 3 : *void initTimer3(void)*

Question 4 (1 point) :

Ecrire en langage C la fonction d'initialisation du module ADC : *void initADC(void)*

Question 5 (1 point) :

Indiquer (en assembleur) comment initialiser les vecteurs d'interruption pour associer l'interruption INT1 à la fonction : *interrupt void interADC(void)*.

Question 6 (1 point) :

Ecrire en langage C la fonction d'interruption : *interrupt void interADC(void)* permettant de sauvegarder les 1000 premiers échantillons de la voie 0 dans le tableau : *int table[1000]* (les résultats de conversion seront justifiés à droite).

Exercice 2 : Transmission de données par liaison série (6 points)

Question 1 (1 point) :

Représenter la trame en sortie du module SCI (broche TX) dans le cas de la transmission de l'octet 0x27 dans le mode suivant : données de 8 bits, parité paire, 1 bit de STOP.

Question 2 (0.5 point) :

Représenter cette même trame en sortie du driver de ligne MAX232 en précisant les niveaux de tension.

Question 3 (1 point) :

La vitesse de transmission de la liaison est configurée à 19200 bauds. Déterminer l'expression littérale de la vitesse de transmission maximale possible (bande passante) en octets par seconde dans le cas de la configuration donnée à la question 1.

Question 4 (1.5 points) :

Indiquer quel est le rôle des bits RXRDY et TXRDY du module SCI. Donner un exemple d'utilisation de ces deux bits en langage C.

Question 5 (2 points) :

Dans le cas où la réception des données déclenche l'interruption RXINT associée à INT5, écrire en langage C la fonction d'interruption : *interrupt void interSCI(void)* qui gère le remplissage du buffer circulaire *char bufcirc[20]*.

Exercice 3 : Bus I2C (5 points)

Question 1 (1 point) :

Rappeler quels rôles joue le maître dans une communication I2C.

Question 2 (1 point) :

Décrire le principe de la dominance de bit dans le bus I2C et la structure électronique permettant de l'assurer.

Question 3(1 point) :

Décrire le principe de l'acquittement dans le protocole I2C. Indiquer quel est l'organe en communication devant faire l'acquittement.

Question 4 (0.5 point) :

Indiquer comment affecter au pilote d'afficheur à LED 4 digits I2C SAA1064 l'adresse 0x72 en écriture et 0x73 en lecture (voir documentation).

Question 5 (1.5 points) :

Représenter la trame I2C permettant de configurer le SAA1064 (mode dynamique, 12 mA par segment) et initialiser l'affichage avec les codes contenus dans les variables d1, d2, d3 et d4.

Exercice 4 : Bus IEEE-488 (4 points)**Question 1 (0.5 point) :**

Rappeler quelle est la vitesse de transmission maximale du bus IEEE-488.

Question 2 (1.5 point) :

Rappeler quels sont les 3 groupes de lignes de communication qui composent le bus IEEE-488 en précisant le nombre de lignes pour chacun d'eux.

Question 3 (1 point) :

Dans le cas d'un appareil d'adresse physique 7, indiquer comment procède le contrôleur du bus IEEE-488 pour adresser cet appareil en tant que « écouteur » ou « parleur ».

Question 4 (1 point) :

Rappeler quelle est la fonction des adresses UNL (0x3F) et UNT (0x5F).

Annexes**Registre de configuration du DSP : SCSR1**

15	14	13	12	11	10	9	8
Reserved	CLKSRC	LPM1	LPM0	CLK PS2	CLK PS1	CLK PS0	Reserved
R-0	RW-0	RW-0	RW-0	RW-1	RW-1	RW-1	R-0
7	6	5	4	3	2	1	0
ADC CLKEN	SCI CLKEN	SPI CLKEN	CAN CLKEN	EVB CLKEN	EVA CLKEN	Reserved	ILLADR
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	R-0	RC-0

Note: R = Read access, W = Write access, C = Clear, -0 = value after reset

Entrées/sorties numériques multiplexées

PIN FUNCTION SELECTED		MUX CONTROL REGISTER (name.bit #)	MUX CONTROL VALUE AT RESET (MCRx.n)	I/O PORT DATA AND DIRECTION†		
(MCRx.n = 1) Primary Function	(MCRx.n = 0) I/O			REGISTER	DATA BIT NO.§	DIR BIT NO.¶
PORT A						
SCITXD	IOPA0	MCRA.0	0	PADATDIR	0	8
SCIRXD	IOPA1	MCRA.1	0	PADATDIR	1	9
XINT1	IOPA2	MCRA.2	0	PADATDIR	2	10
CAP1/QEP1	IOPA3	MCRA.3	0	PADATDIR	3	11
CAP2/QEP2	IOPA4	MCRA.4	0	PADATDIR	4	12
CAP3	IOPA5	MCRA.5	0	PADATDIR	5	13
PWM1	IOPA6	MCRA.6	0	PADATDIR	6	14
PWM2	IOPA7	MCRA.7	0	PADATDIR	7	15

Timers du DSP

Registre de contrôle général des timers GPTCONA

15	14	13	12-11	10-9	8-7
Reserved	T2STAT	T1STAT	Reserved	T2TOADC	T1TOADC
RW-0	R-1	R-1	RW-0	RW-0	RW-0
6	5-4	3-2	1-0		
TCOMPOE	Reserved	T2PIN	T1PIN		
RW-0	RW-0	RW-0	RW-0		

Note: R = Read access, W = Write access, -n = value after reset

Bit 15 **Reserved.** Reads return zero; writes have no effect.

Bit 14 **T2STAT.** GP timer 2 Status. Read only.
0 Counting downward
1 Counting upward

Bit 13 **T1STAT.** GP timer 1 Status. Read only.
0 Counting downward
1 Counting upward

Bits 12-11 **Reserved.** Reads return zero; writes have no effect.

Bits 10-9 **T2TOADC.** Start ADC with timer 2 event.
00 No event starts ADC
01 Setting of underflow interrupt flag starts ADC
10 Setting of period interrupt flag starts ADC
11 Setting of compare interrupt flag starts ADC

Bits 8-7 **T1TOADC.** Start ADC with timer 1 event.
00 No event starts ADC
01 Setting of underflow interrupt flag starts ADC
10 Setting of period interrupt flag starts ADC
11 Setting of compare interrupt flag starts ADC

Bit 6 **TCOMPOE.** Compare output enable. If PDPINTx is active this bit is set to zero.
0 Disable all GP timer compare outputs (all compare outputs are put in the high-impedance state)
1 Enable all GP timer compare outputs

Bits 5-4 **Reserved.** Reads return zero; writes have no effect.

Bits 3-2 **T2PIN.** Polarity of GP timer 2 compare output.
00 Forced low
01 Active low
10 Active high
11 Forced high

Bits 1-0 **T1PIN.** Polarity of GP timer 1 compare output.
00 Forced low
01 Active low
10 Active high
11 Forced high

Registre de contrôle individuel des timers : TxCON (x=1, 2, 3 ou 4)

15	14	13	12	11	10	9	8
Free	Soft	Reserved	TMODE1	TMODE0	TPS2	TPS1	TPS0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
7	6	5	4	3	2	1	0
T2SWT1/ T4SWT3†	TENABLE	TCLKS1	TCLKS0	TCLD1	TCLD0	TECMPR	SELT1PR/ SELT3PR†
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

Note: R = Read access, W = Write access, -0 = value after reset
† Reserved in T1CON and T3CON

Bits 15-14 **Free, Soft.** Emulation control bits.
00 Stop immediately on emulation suspend
01 Stop after current timer period is complete on emulation suspend
10 Operation is not affected by emulation suspend
11 Operation is not affected by emulation suspend

Bit 13 **Reserved.** Reads return zero, writes have no effect.

Bits 12-11 **TMODE1-TMODE0.** Count Mode Selection.
00 Stop/Hold
01 Continuous-Up-/Down Count Mode
10 Continuous-Up Count Mode
11 Directional-Up-/Down Count Mode

Bits 10-8 **TPS2-TPS0.** Input Clock Prescaler.
000 x/1 100 x/16
001 x/2 101 x/32
010 x/4 110 x/64
011 x/8 111 x/128
x = device (CPU) clock frequency

Bit 7 **T2SWT1.** In the case of EVA, this bit is T2SWT1. (GP timer 2 start with GP timer 1.) Start GP timer 2 with GP timer 1's timer enable bit. This bit is reserved in T1CON.
T4SWT3. In the case of EVB, this bit is T4SWT3. (GP timer 4 start with GP timer 3.) Start GP timer 4 with GP timer 3's timer enable bit. This bit is reserved in T3CON.
0 Use own TENABLE bit
1 Use TENABLE bit of T1CON (in case of EVA) or T3CON (in case of EVB) to enable and disable operation ignoring own TENABLE bit

Bit 6 **TENABLE.** Timer enable.
0 Disable timer operation (the timer is put in hold and the prescaler counter is reset)
1 Enable timer operations

Bits 5-4 **TCLKS1, TCLKS0.** Clock Source Select.
5 4 Source
0 0 Internal
0 1 External
1 0 Reserved
1 1 QEP Circuit† (in case of Timer 2/Timer 4)
Reserved (in case of Timer 1/Timer 3)
† This option is valid only if SELT1PR = 0

Bits 3-2 **TCLD1, TCLD0.** Timer Compare Register Reload Condition.
00 When counter is 0
01 When counter value is 0 or equals period register value
10 Immediately
11 Reserved

Bit 1 **TECMPR.** Timer compare enable.
0 Disable timer compare operation
1 Enable timer compare operation

Bit 0 **SELT1PR.** In the case of EVA, this bit is SELT1PR (Period register select). When set to 1 in T2CON, the period register of Timer 1 is chosen for Timer 2 also, ignoring the period register of Timer 2. This bit is a reserved bit in T1CON.
SELT3PR. In the case of EVB, this bit is SELT3PR (Period register select). When set to 1 in T4CON, the period register of Timer 3 is chosen for Timer 4 also, ignoring the period register of Timer 4. This bit is a reserved bit in T3CON.
0 Use own period register
1 Use T1PR (in case of EVA) or T3PR (in case of EVB) as period register ignoring own period register

Module ADC

ADCTRL1							
15	14	13	12	11	10	9	8
Reserved	RESET	SOFT	FREE	ACQ PS3	ACQ PS2	ACQ PS1	ACQ PS0
RW-0	RS-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
7	6	5	4	3	2	1	0
CPS	CONT RUN	INT PRI	SEQ CASC	CAL ENA	BRG ENA	H/I/O	STEST ENA
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

Note: R = Read access, W = Write access, S = Set only, -0 = value after reset

ADCTRL2							
15	14	13	12	11	10	9	8
EVB SOC SEQ	RST SEQ1/ STRT CAL	SOC SEQ1	SEQ1 BSY	INT ENA SEQ1 (Mode 1)	INT ENA SEQ1 (Mode 0)	INT FLAG SEQ1	EVA SOC SEQ1
RW-0	RS-0	RW-0	R-0	RW-0	RW-0	RC-0	RW-0
7	6	5	4	3	2	1	0
EXT SOC SEQ1	RST SEQ2	SOC SEQ2	SEQ2 BSY	INT ENA SEQ2 (Mode 1)	INT ENA SEQ2 (Mode 0)	INT FLAG SEQ2	EVB SOC SEQ2
RW-0	RS-0	RW-0	R-0	RW-0	RW-0	RC-0	RW-0

Note: R = Read access, W = Write access, S = Set only, C = Clear, -0 = value after reset

Module SCI

Address	Register Mnemonic	Bit Number								Register Name
		7	6	5	4	3	2	1	0	
7050h	SCICCR	STOP BITS	EVEN/ODD PARITY	PARITY ENABLE	LOOP-BACK ENA	ADDR/IDLE MODE	SCI CHAR2	SCI CHAR1	SCI CHAR0	Communication control
7051h	SCICTL1	Reserved	RX ERR INT ENA	SW RESET	Reserved	TXWAKE	SLEEP	TXENA	RXENA	SCI control register1
7052h	SCIHBAUD	BAUD15 (MSB)	BAUD14	BAUD13	BAUD12	BAUD11	BAUD10	BAUD9	BAUD8	Baud rate (MSbyte)
7053h	SCILBAUD	BAUD7	BAUD6	BAUD5	BAUD4	BAUD3	BAUD2	BAUD1	BAUD0 (LSB)	Baud rate (LSbyte)
7054h	SCICTL2	TXRDY	TX EMPTY	Reserved				RX/BK INT ENA	TX INT ENA	SCI control register 2
7055h	SCIRXST	RX ERROR	RXRDY	BRKDT	FE	OE	PE	RXWAKE	Reserved	Receiver status
7057h	SCIRXBUF	RXDT7	RXDT6	RXDT5	RXDT4	RXDT3	RXDT2	RXDT1	RXDT0	Receiver data buffer
7058h	---	Reserved								---
7059h	SCITXBUF	TXDT7	TXDT6	TXDT5	TXDT4	TXDT3	TXDT2	TXDT1	TXDT0	Transmitter data buffer
705Fh	SCIPRI	Reserved	SCITX PRIORITY	SCIRX PRIORITY	SCI SOFT	SCI FREE	Reserved			Priority control

$$BRR = \frac{CLKOUT}{SCI Asynchronous Baud \times 8} - 1$$

SAA 1064

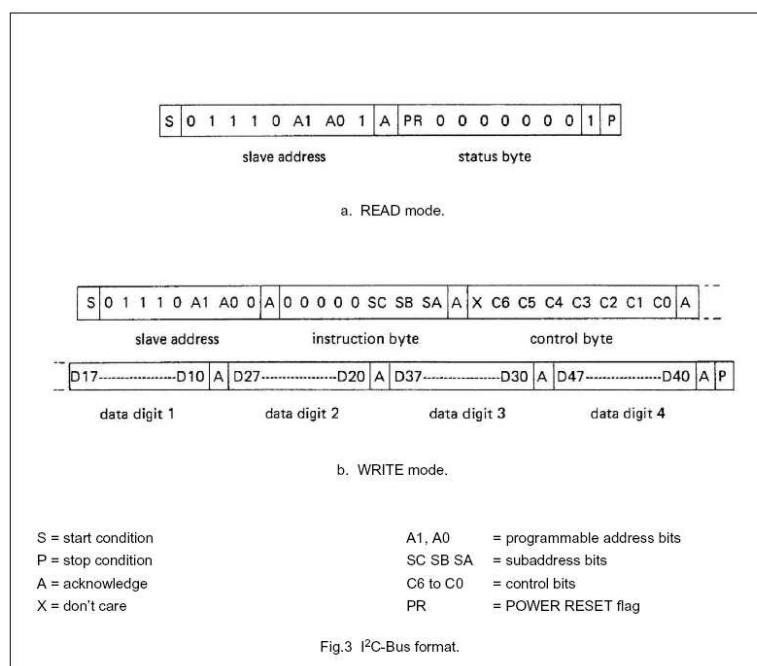
Philips Semiconductors

Product specification

4-digit LED-driver with I²C-Bus interface

SAA1064

FUNCTIONAL DESCRIPTION



Address pin ADR

Four different slave addresses can be chosen by connecting ADR either to V_{EE}, 3/8 V_{CC}, 5/8 V_{CC} or V_{CC}. This results in the corresponding valid addresses HEX 70, 72, 74 and 76 for writing and 71, 73, 75 and 77 for reading. All other addresses cannot be acknowledged by the circuit.

4-digit LED-driver with I²C-Bus interface

SAA1064

Status byte

Only one bit is present in the status byte, the POWER RESET flag. A logic 1 indicates the occurrence of a power failure since the last time it was read out. After completion of the READ action this flag will be set to logic 0.

Subaddressing

The bits SC, SB and SA form a pointer and determine to which register the data byte following the instruction byte will be written. All other bytes will then be stored in the registers with consecutive subaddresses. This feature is called Auto-Increment (AI) of the subaddress and enables a quick initialization by the master.

The subaddress pointer will wrap around from 7 to 0.

The subaddresses are given as follows:

SC	SB	SA	SUB-ADDRESS	FUNCTION
0	0	0	00	control register
0	0	1	01	digit 1
0	1	0	02	digit 2
0	1	1	03	digit 3
1	0	0	04	digit 4
1	0	1	05	reserved, not used
1	1	0	06	reserved, not used
1	1	1	07	reserved, not used

Control bits (see Fig.4)

The control bits C0 to C6 have the following meaning:

- C0 = 0 static mode, i.e. continuous display of digits 1 and 2
- C0 = 1 dynamic mode, i.e. alternating display of digit 1 + 3 and 2 + 4
- C1 = 0/1 digits 1 + 3 are blanked/not blanked
- C2 = 0/1 digits 2 + 4 are blanked/not blanked
- C3 = 1 all segment outputs are switched-on for segment test⁽¹⁾
- C4 = 1 adds 3 mA to segment output current
- C5 = 1 adds 6 mA to segment output current
- C6 = 1 adds 12 mA to segment output current

Note

1. At a current determined by C4, C5 and C6.

Data

A segment is switched ON if the corresponding data bit is logic 1. Data bits D17 to D10 correspond with digit 1, D27 to D20 with digit 2, D37 to D30 with digit 3 and D47 to D40 with digit 4.

The MSBs correspond with the outputs P8 and P16, the LSBs with P1 and P9. Digit numbers 1 to 4 are equal to their subaddresses (hex) 1 to 4.