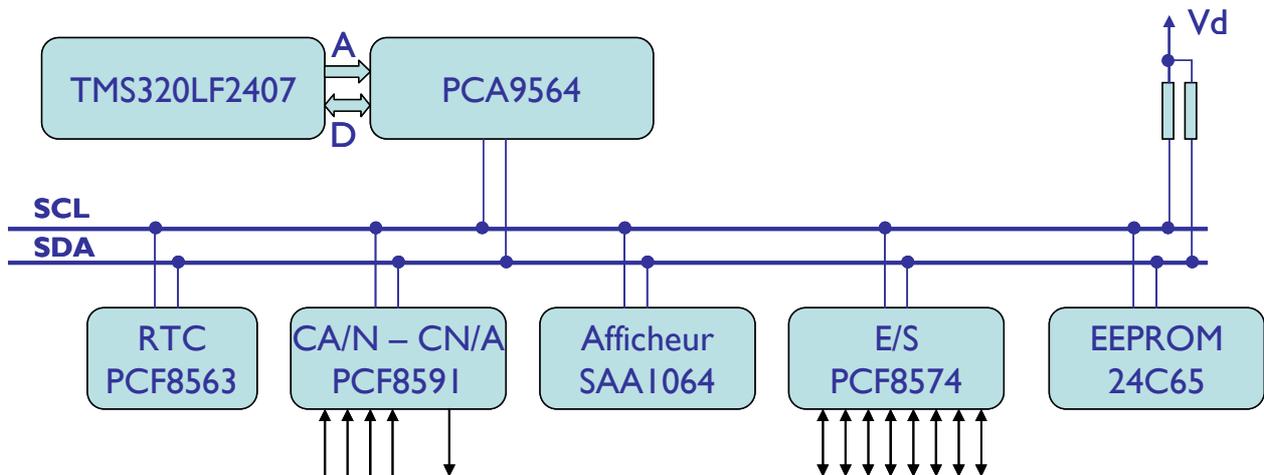


## Médian MC43

### Module I2C embarqué

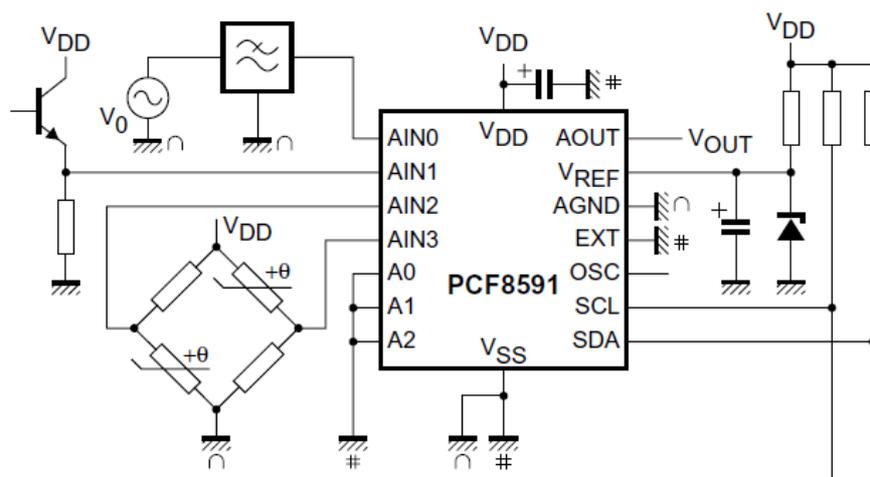
Une carte électronique conditionnée pour être embarquée comprend les composants suivants :

- le DSP contrôleur TMS320LF2407A cadencé à 40MHz
- le contrôleur I2C PCA9564 configuré en maître et programmé par le DSP contrôleur TMS320LF2407A
- l'horloge temps réel I2C PCF8563
- le convertisseur A/N et N/A I2C PCF8591
- le driver d'afficheurs 7 segments I2C SAA1064 associé à 4 afficheurs 7 segments
- le port d'entrées sorties numériques I2C PCF8574
- l'EEPROM I2C 24C65



#### I Convertisseur A/N et N/A PCF8591 (8 points)

Le schéma électronique associé au convertisseur A/N et N/A PCF8591 est donné par la figure ci-dessous. Les entrées AIN0 et AIN1 sont utilisées comme des entrées simples chacune reliée à des sorties de capteurs différentes tandis que les entrées AIN2 et AIN3 sont utilisées en mode différentiel et sont reliées aux deux sorties d'un pont de Wheatstone. La sortie AOUT du CNA est exploitée pour permettre la visualisation à l'oscilloscope de mesurandes.



#### Question 1 (1 point) :

La fréquence d'échantillonnage des grandeurs analogiques est  $f_e = 100\text{Hz}$ . Indiquer quel serait la conséquence de la présence d'une composante spectrale à  $80\text{Hz}$  dans le spectre d'un signal appliqué sur l'une des entrées analogiques.

#### Question 2 (0.5 point) :

Indiquer quel devrait être la fréquence de coupure des filtres antirepliement pour cette fréquence d'échantillonnage.

#### Question 3 (1 point) :

Indiquer quelles sont les adresses en lecture et en écriture du **PCF8591** compte tenu du schéma de câblage.

**Question 4 (1 point) :**

Déterminer le mot de contrôle (CONTROL BYTE) permettant de configurer le **PCF8591** selon son utilisation (« auto-incrémentation » activée).

**Question 5 (1 point) :**

Représenter la trame I2C permettant de configurer le **PCF8591**.

**Question 6 (1 point) :**

Représenter la trame I2C permettant de mettre à jour la sortie VOUT du **PCF8591** à la tension  $V=2,5V$ .

**Question 7 (1,5 point) :**

Représenter la trame I2C permettant de lire les 3 résultats de conversion des tensions AIN0, AIN1 et AIN2-AIN3.

**Question 8 (1 point) :**

Déterminer la durée de la trame I2C de lecture des 3 résultats de conversion A/N en considérant une fréquence de transmission I2C de 59kbits/s.

**II Horloge temps réel PCF8563 (8 points)**

**Question 1 (1 point) :**

Indiquer quelles sont les adresses en lecture et en écriture du **PCF8563**.

**Question 2 (2 points) :**

Donner en binaire le contenu des registres de *secondes, minutes, heures, jour du mois, jour de la semaine, mois, siècle et année* du **PCF8563** lorsque la date et l'heure correspondent au : **mardi 09 mai 2017 à 12h15**.

**Question 3 (2 points) :**

Représenter la trame d'écriture I2C qui permet de configurer l'heure et la date (*secondes, minutes, heures, jour du mois, jour de la semaine, mois, siècle et année*) du **PCF8563** à la valeur : **mardi 09 mai 2017 à 12h15** en donnant le contenu de chaque octet transmis.

**Question 4 (2 points) :**

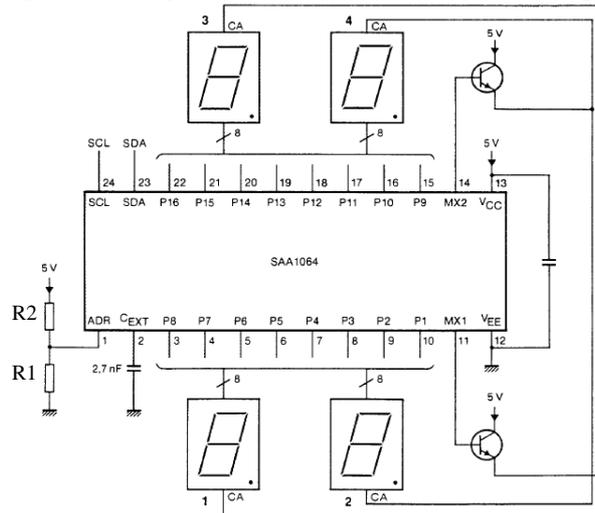
Représenter la trame I2C qui permet de lire l'heure et la date du **PCF8563** (secondes, minutes, heures, jour du mois, jour de la semaine, mois, siècle et année).

**Question 5 (1 point) :**

Déterminer la durée de lecture de la date et de l'heure lorsque le bus I2C est cadencé à 59kbits/s.

**III Driver d'afficheur 7 segments SAA1064 (4 points)**

Le driver SAA1064 est relié selon le schéma électronique ci-dessous. Sa configuration en mode dynamique lui permet de piloter 4 afficheurs 7 segments indépendants. Les résistances d'adressage valent  $R1=3k\Omega$  et  $R2=5k\Omega$ .



**Question 1 (1 point) :**

Indiquer quelles sont les adresses en lecture et en écriture du **SAA1064**.

**Question 2 (1 point) :**

Déterminer le mot de contrôle (*Control Byte*) permettant de configurer le **SAA1064** comme indiqué dans l'énoncé en laissant les afficheurs éteints au démarrage, hors test et avec un courant d'alimentation de 18mA.

**Question 3 (1 point) :**

Représenter la trame I2C permettant de configurer le **SAA1064** avec le mot de contrôle déterminé précédemment.

**Question 4 (1 point) :**

Représenter la trame I2C permettant l'affichage sur les 4 afficheurs 7 segments de valeurs dont les codes 7 segments sont contenus dans les variables 8 bits d1, d2, d3 et d4.

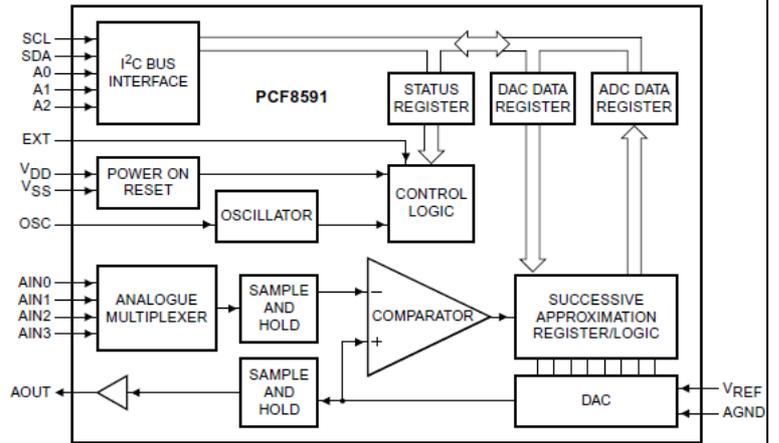
# PCF8591 : Convertisseur 8 bits A/N et N/A

(Extrait du datasheet)

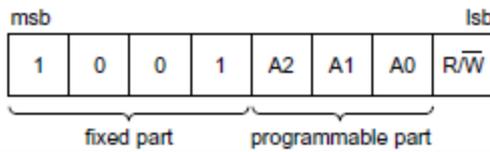
## 3 GENERAL DESCRIPTION

The PCF8591 is a single-chip, single-supply low power 8-bit CMOS data acquisition device with four analog inputs, one analog output and a serial I<sup>2</sup>C-bus interface. Three address pins A0, A1 and A2 are used for programming the hardware address, allowing the use of up to eight devices connected to the I<sup>2</sup>C-bus without additional hardware. Address, control and data to and from the device are transferred serially via the two-line bidirectional I<sup>2</sup>C-bus.

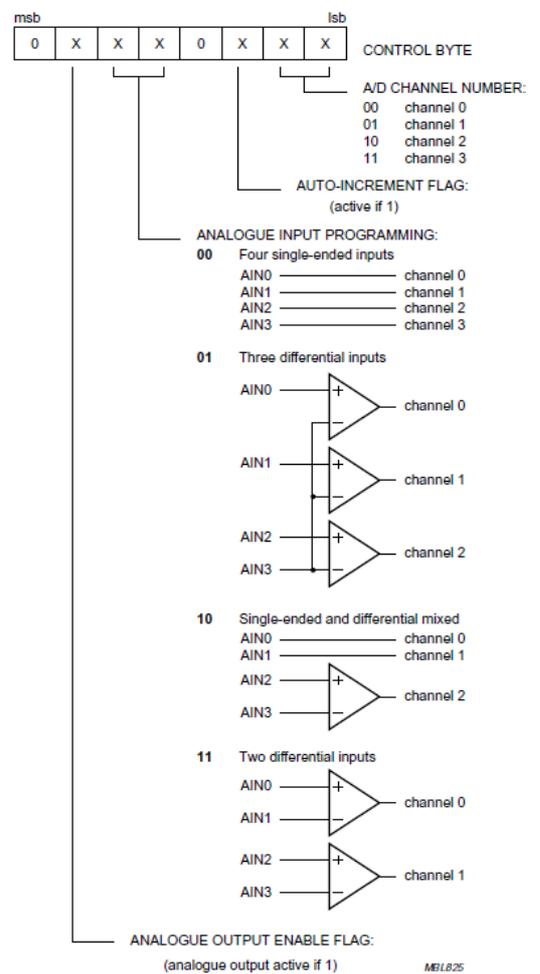
The functions of the device include analog input multiplexing, on-chip track and hold function, 8-bit analog-to-digital conversion and an 8-bit digital-to-analog conversion. The maximum conversion rate is given by the maximum speed of the I<sup>2</sup>C-bus.



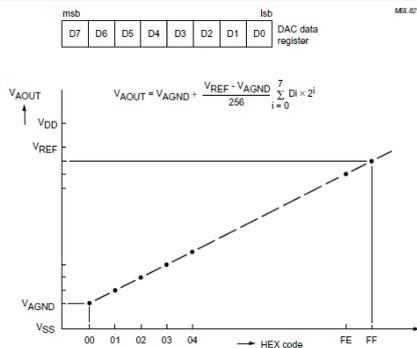
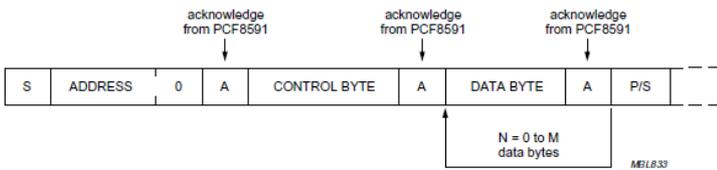
## Address Byte



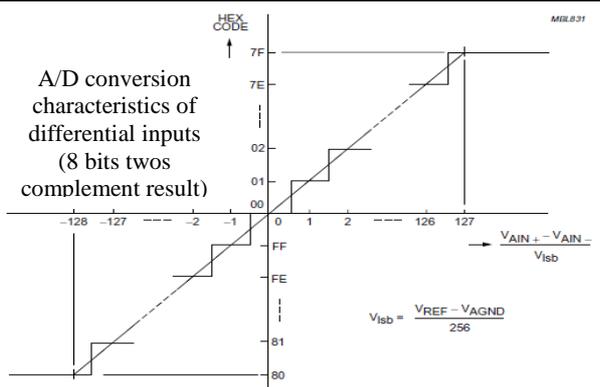
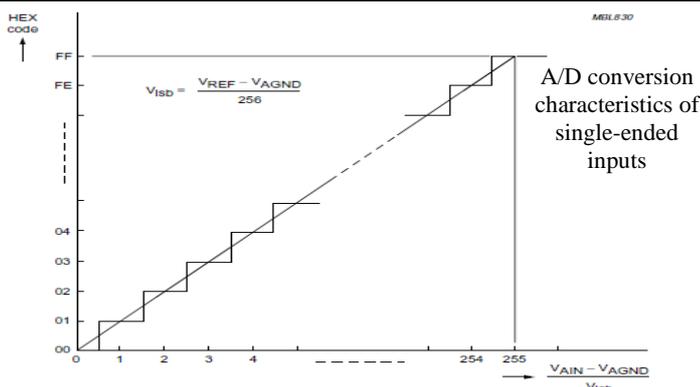
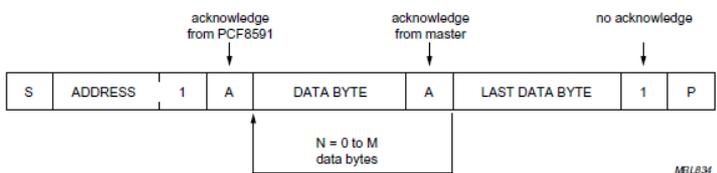
## Control Byte



## D/A conversion



## A/D conversion



# PCF8563 : Horloge temps réel

(Extrait du datasheet)

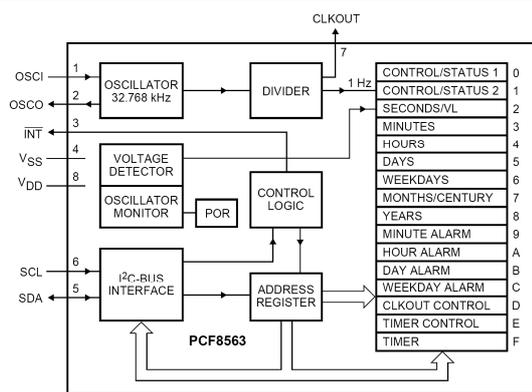
## Functional description

The PCF8563 contains sixteen 8-bit registers with an auto-incrementing address register, an on-chip 32.768 kHz oscillator with one integrated capacitor, a frequency divider which provides the source clock for the Real Time Clock/calendar (RTC), a programmable clock output, a timer, an alarm, a voltage-low detector and a 400 kHz I<sup>2</sup>C-bus interface.

All 16 registers are designed as addressable 8-bit parallel registers although not all bits are implemented. The first two registers (memory address 00H and 01H) are used as control and/or status registers. The memory addresses 02H through 08H are used as counters for the clock function (seconds up to years counters). Address locations 09H through 0CH contain alarm registers which define the conditions for an alarm. Address 0DH controls the CLKOUT output frequency. 0EH and 0FH are the timer control and timer registers, respectively.

The seconds, minutes, hours, days, weekdays, months, years as well as the minute alarm, hour alarm, day alarm and weekday alarm registers are all coded in BCD format.

When one of the RTC registers is read the contents of all counters are frozen. Therefore, faulty reading of the clock/calendar during a carry condition is prevented.



## Slave address.



## Clock/calendar read/write cycles

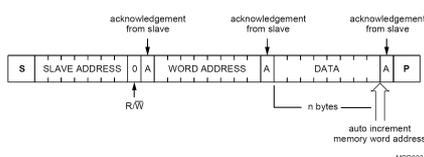


Fig 13. Master transmits to slave receiver (write mode).

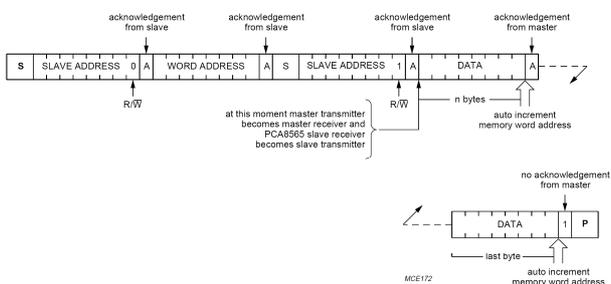


Fig 14. Master reads after setting word address (write word address; read data).

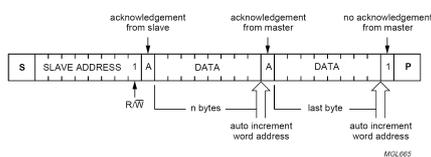


Fig 15. Master reads slave immediately after first byte (read mode).

## Register organization

Table 4: Binary formatted registers overview

Bit positions labelled as x are not implemented. Bit positions labelled with 0 should always be written with logic 0; if read they could be either logic 0 or logic 1.

Address	Register name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00H	control/status 1	TFST1	0	STOP	0	TFSTC	0	0	0
01H	control/status 2	0	0	0	TI/TP	AF	TF	AIE	TIE
0DH	CLKOUT control	FE	x	x	x	x	x	FD1	FD0
0EH	timer control	TE	x	x	x	x	x	TD1	TD0
0FH	timer	<timer countdown value>							

Table 5: BCD formatted registers overview

Bit positions labelled as x are not implemented.

Address	Register name	BCD format tens nibble				BCD format units nibble			
		Bit 7 2 <sup>3</sup>	Bit 6 2 <sup>2</sup>	Bit 5 2 <sup>1</sup>	Bit 4 2 <sup>0</sup>	Bit 3 2 <sup>3</sup>	Bit 2 2 <sup>2</sup>	Bit 1 2 <sup>1</sup>	Bit 0 2 <sup>0</sup>
02H	seconds	VL				<seconds 00 to 59 coded in BCD>			
03H	minutes	x				<minutes 00 to 59 coded in BCD>			
04H	hours	x	x			<hours 00 to 23 coded in BCD>			
05H	days	x	x			<days 01 to 31 coded in BCD>			
06H	weekdays	x	x	x	x			<weekdays 0 to 6>	
07H	months/century	C	x	x		<months 01 to 12 coded in BCD>			
08H	years					<years 00 to 99 coded in BCD>			
09H	minute alarm	AE				<minute alarm 00 to 59 coded in BCD>			
0AH	hour alarm	AE	x			<hour alarm 00 to 23 coded in BCD>			
0BH	day alarm	AE	x			<day alarm 01 to 31 coded in BCD>			
0CH	weekday alarm	AE	x	x	x	x		<weekday alarm 0 to 6>	

Table 9: Seconds/VL (address 02H) bits description

Bit	Symbol	Value	Description
7	VL	0	clock integrity is guaranteed
		1	integrity of the clock information is no longer guaranteed
6 to 0	seconds	00 to 59	this register holds the current seconds coded in BCD format; example: seconds register contains x101 1001 = 59 seconds

Table 14: Weekday assignments

Day	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Sunday	x	x	x	x	x	0	0	0
Monday	x	x	x	x	x	0	0	1
Tuesday	x	x	x	x	x	0	1	0
Wednesday	x	x	x	x	x	0	1	1
Thursday	x	x	x	x	x	1	0	0
Friday	x	x	x	x	x	1	0	1
Saturday	x	x	x	x	x	1	1	0

Table 15: Months/century (address 07H) bits description

Bit	Symbol	Value	Description
7	century <sup>†1</sup>		
		0	this bit is toggled when the years register overflows from 99 to 00
		0	indicates the century is 20xx
		1	indicates the century is 19xx
4 to 0	month	01 to 12	this register holds the current month coded in BCD format, see Table 16

# SAA1064 : Driver d'afficheur 7 segments

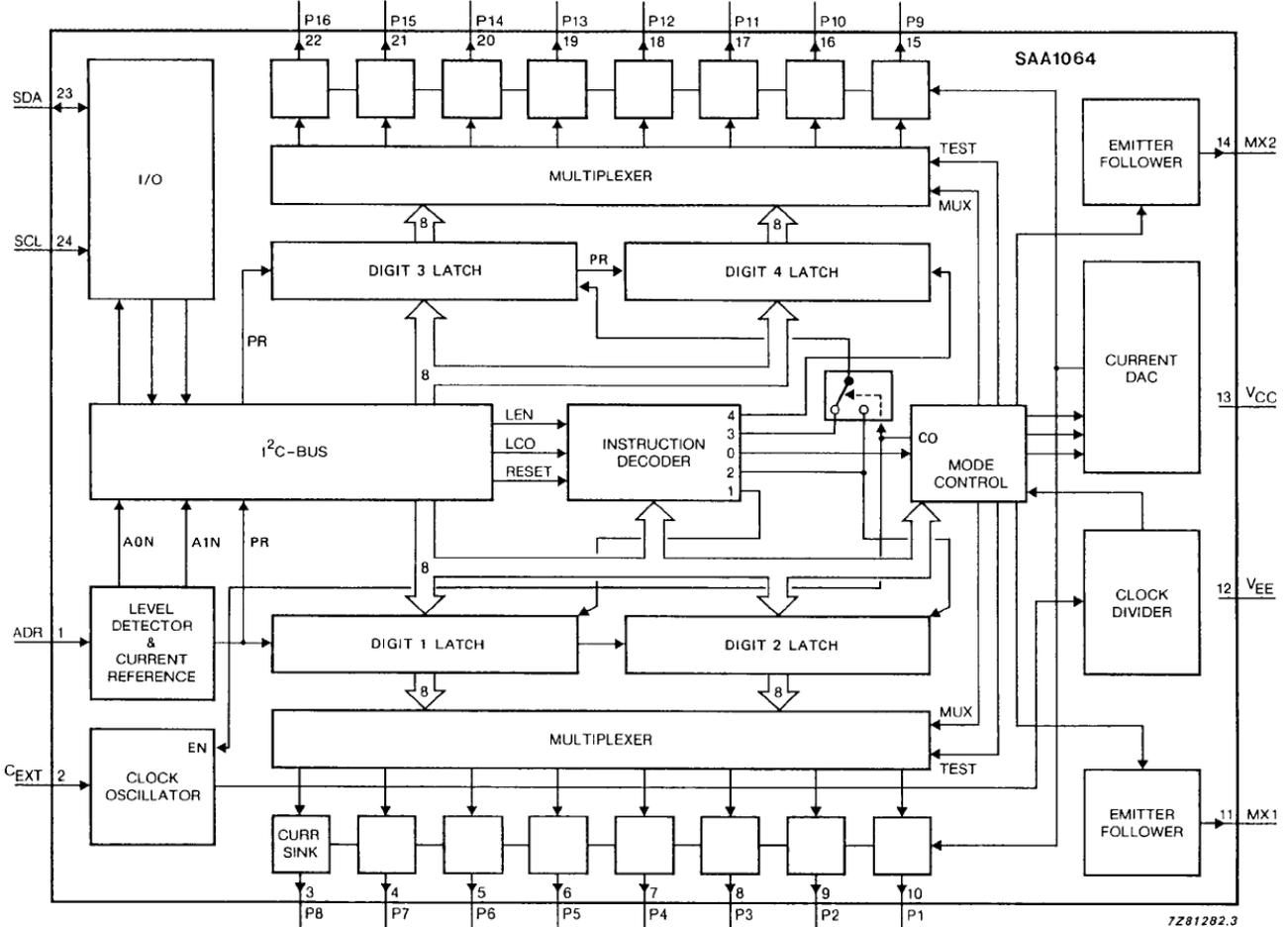
(Extrait du datasheet)

## GENERAL DESCRIPTION

The LED-driver is a bipolar integrated circuit made in an I<sup>2</sup>L compatible 18 volts process. The circuit is especially designed to drive four 7-segment LED displays with decimal point by means of multiplexing between two pairs of digits. It features an I<sup>2</sup>C-Bus slave transceiver interface with the possibility to program four different SLAVE ADDRESSES, a POWER RESET flag, 16 current sink OUTPUTS, controllable by software up to 21 mA, two multiplex drive outputs for common anode segments, an on-chip multiplex oscillator, control bits to select static, dynamic and blank mode, and one bit for segment test.

## Address pin ADR and address bits A0, A1

Four different slave addresses can be chosen by connecting ADR either to VEE, 3/8V<sub>CC</sub>, 5/8V<sub>CC</sub> or V<sub>CC</sub>. This results in the corresponding valid addresses HEX 70, 72, 74 and 76 for writing and 71, 73, 75 and 77 for reading. All other addresses cannot be acknowledged by the circuit.



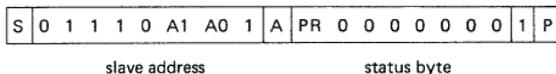
## Control byte

- C0 = 0 static mode, i.e. continuous display of digits 1 and 2
- C0 = 1 dynamic mode, i.e. alternating display of digit 1 + 3 and 2 + 4
- C1 = 0/1 digits 1 + 3 are blanked/not blanked
- C2 = 0/1 digits 2 + 4 are blanked/not blanked
- C3 = 1 all segment outputs are switched-on for segment test<sup>(1)</sup>
- C4 = 1 adds 3 mA to segment output current
- C5 = 1 adds 6 mA to segment output current
- C6 = 1 adds 12 mA to segment output current

## Subaddressing

SC	SB	SA	SUB-ADDRESS	FUNCTION
0	0	0	00	control register
0	0	1	01	digit 1
0	1	0	02	digit 2
0	1	1	03	digit 3
1	0	0	04	digit 4
1	0	1	05	reserved, not used
1	1	0	06	reserved, not used
1	1	1	07	reserved, not used

## READ mode



- S = start condition
- P = stop condition
- A = acknowledge
- X = don't care
- A1, A0 = programmable address bits
- SC SB SA = subaddress bits
- C6 to C0 = control bits
- PR = POWER RESET flag

## WRITE mode

