

MC60 Examen Médian A2010
Automne 2010
Durée : 1h30
Aucun document autorisé

1) QCM

Il est possible que plusieurs réponses soient correctes dans la même question. Attention, un point négatif pour une mauvaise réponse.

1) Le microcontrôleur PIC est cadencé par un quartz de 4MHz. Ceci implique qu'un cycle machine dure :

- (a) 100 ns
- (b) 250 ns
- (c) 1 μ s
- (d) 2.5 μ s

2) Un microcontrôleur comprend sur la même puce la mémoire vive (RAM) et la mémoire morte (ROM). Pour un petit microcontrôleur, tel que celui utilisé en TP, typiquement, la quantité de mémoire vive est de l'ordre de :

- (a) 100 Octets
- (b) 100 kOctets
- (c) 100 MOctets

3) L'entrée interruption (INT) d'un microcontrôleur provoque :

- (a) l'arrêt définitif du programme en cours
- (b) une pause dans l'exécution du programme
- (c) l'appel d'une procédure spécifique qui gère les événements extérieurs

4) Dans le programme assembleur inclus dans le sujet, la ligne suivante :

```
INDEX = 0x10
```

- (a) Affecte la valeur décimale 10 à la mémoire INDEX
- (b) Affecte la valeur Hexadécimale 10 à la mémoire INDEX
- (c) Définit l'adresse mémoire de la variable INDEX

5) Dans ce même programme, l'instruction

```
INCF INDEX, 0
```

- (a) Incrémente la mémoire INDEX
- (b) Incrémente la valeur de la mémoire INDEX et place le résultat dans le registre W
- (c) Après exécution, le contenu de INDEX n'a pas changé
- (d) Le contenu du registre W est incrémenté et ensuite placé dans INDEX

Programme assembleur de pilotage de moteur pas à pas

1) Que signifie l'instruction `org x` ?

2) Que signifie l'instruction `#define _BANK STATUS, RP0` ?

3) Combien de temps faut-il pour atteindre le point A2 ? Détaillez les calculs. (Fréquence Quartz = 4 MHz)

```
        MOVLW .250
        MOVWF COMPTEUR1
A1      NOP
        DECFSZ    COMPTEUR1, 1
        GOTO  A1
A2      DECFSZ    COMPTEUR2, 1
```

4) Que permet de faire l'instruction `ADDWF PCL, 1` ?

5) Quel est le rôle de TRISB ?

6) Que permet de faire la seconde instruction de cette suite ?

```
A3      INCF  INDEX, 0
        ANDLW 0x03
        MOVWF INDEX
```

```

; Pilotage d'un moteur pas a pas
    include P16F84A.INC

INDEX = 0x10
COMPTEUR1 = INDEX+1
COMPTEUR2 = INDEX+2

#define _BANK    STATUS,RP0

;    Reset
    org    0
    goto  INIT

;    Interruptions
    org    4
    RETFIE

INIT
    BSF    _BANK                ; Initialisations
    MOVLW B'00001111'
    MOVWF TRISB
    BCF    _BANK
    CLRF  INDEX

DEBUT                                ; Boucle
    MOVLW    .100
    MOVWF    COMPTEUR2

A0
    MOVLW    .250
    MOVWF    COMPTEUR1

A1
    NOP
    DECFSZ   COMPTEUR1,1
    GOTO  A1

A2
    DECFSZ   COMPTEUR2,1
    GOTO  A0

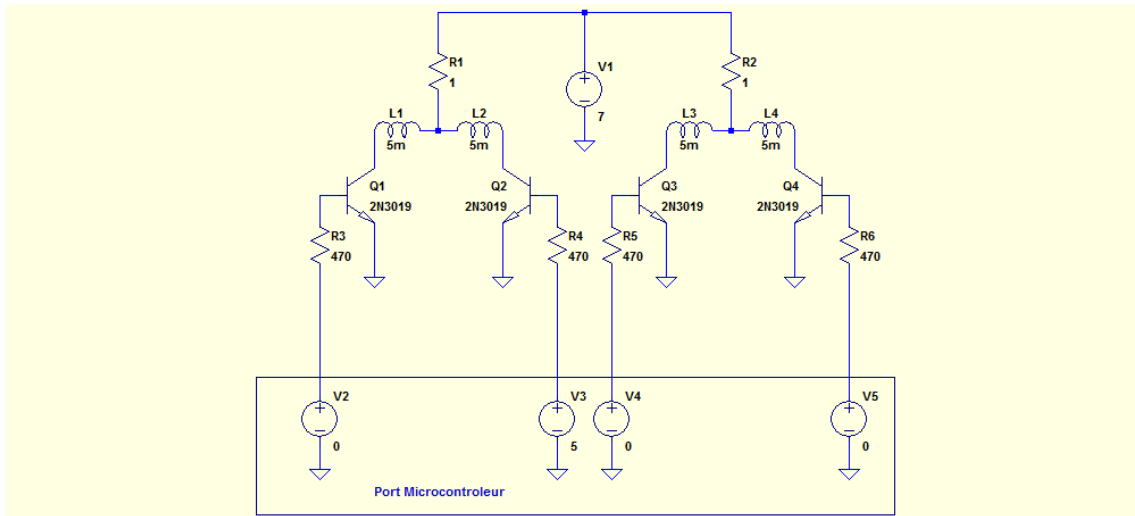
A3
    INCF    INDEX,0
    ANDLW   0x03
    MOVWF   INDEX
    CALL    TABLE
    MOVWF   PORTB
    GOTO    DEBUT

TABLE
    ADDWF   PCL,1
    RETLW   B'10000000'
    RETLW   B'00100000'
    RETLW   B'01000000'
    RETLW   B'00010000'

    END

```

Circuit de commande de moteur pas à pas



Le circuit de commande du moteur pas à pas représenté ci-dessus représente les bobines internes du moteur, les transistors de commande et une partie du microcontrôleur. La tension de sortie du microcontrôleur est du niveau TTL (5V). Les valeurs des composants ne correspondent pas forcément à la réalité.

- 1) Quel est le courant circulant dans la base d'un transistor lorsque le niveau logique du port du microcontrôleur est 1 ? ($R3.. R6 = 470 \text{ Ohms}$)
- 2) Les caractéristiques des bobines du moteur sont : $L = 5 \text{ mH}$, $r = 2.5 \text{ Ohms}$. Quel est le courant maximal susceptible de circuler dans une bobine, les autres n'étant pas alimentées ? On donne $V = 7.2 \text{ V}$, $R1 = R2 = 6.8 \text{ Ohms}$, $V_{CEsat} = 0.2 \text{ V}$
- 3) En appliquant ce montage, les transistors rendent systématiquement l'âme, pourtant ils peuvent supporter le courant maxi. Quelle en est la raison ? Comment remédier à ce problème ?
- 4) Quel doit être le gain minimal du transistor pour être certain de travailler en régime saturé ?

Liste des instructions du PIC16F84

TABLE 9-2 PIC16FXX INSTRUCTION SET

Mnemonic, Operands	Description	Cycles	14-Bit Opcode				Status Affected	Notes	
			MSb		LSb				
BYTE-ORIENTED FILE REGISTER OPERATIONS									
ADDWF	f, d	Add W and f	1	00	0111	dfff	ffff	C,DC,Z	1,2
ANDWF	f, d	AND W with f	1	00	0101	dfff	ffff	Z	1,2
CLRF	f	Clear f	1	00	0001	1fff	ffff	Z	2
CLRWF	-	Clear W	1	00	0001	0xxx	xxxx	Z	
COMF	f, d	Complement f	1	00	1001	dfff	ffff	Z	1,2
DECF	f, d	Decrement f	1	00	0011	dfff	ffff	Z	1,2
DECFSZ	f, d	Decrement f, Skip if 0	1(2)	00	1011	dfff	ffff		1,2,3
INCF	f, d	Increment f	1	00	1010	dfff	ffff	Z	1,2
INCFSZ	f, d	Increment f, Skip if 0	1(2)	00	1111	dfff	ffff		1,2,3
IORWF	f, d	Inclusive OR W with f	1	00	0100	dfff	ffff	Z	1,2
MOVF	f, d	Move f	1	00	1000	dfff	ffff	Z	1,2
MOVWF	f	Move W to f	1	00	0000	1fff	ffff		
NOP	-	No Operation	1	00	0000	0xx0	0000		
RLF	f, d	Rotate Left f through Carry	1	00	1101	dfff	ffff	C	1,2
RRF	f, d	Rotate Right f through Carry	1	00	1100	dfff	ffff	C	1,2
SUBWF	f, d	Subtract W from f	1	00	0010	dfff	ffff	C,DC,Z	1,2
SWAPF	f, d	Swap nibbles in f	1	00	1110	dfff	ffff		1,2
XORWF	f, d	Exclusive OR W with f	1	00	0110	dfff	ffff	Z	1,2
BIT-ORIENTED FILE REGISTER OPERATIONS									
BCF	f, b	Bit Clear f	1	01	00bb	bfff	ffff		1,2
BSF	f, b	Bit Set f	1	01	01bb	bfff	ffff		1,2
BTFSC	f, b	Bit Test f, Skip if Clear	1(2)	01	10bb	bfff	ffff		3
BTFSS	f, b	Bit Test f, Skip if Set	1(2)	01	11bb	bfff	ffff		3
LITERAL AND CONTROL OPERATIONS									
ADDLW	k	Add literal and W	1	11	111x	kkkk	kkkk	C,DC,Z	
ANDLW	k	AND literal with W	1	11	1001	kkkk	kkkk	Z	
CALL	k	Call subroutine	2	10	0kkk	kkkk	kkkk		
CLRWDI	-	Clear Watchdog Timer	1	00	0000	0110	0100	TO,PD	
GOTO	k	Go to address	2	10	1kkk	kkkk	kkkk		
IORLW	k	Inclusive OR literal with W	1	11	1000	kkkk	kkkk	Z	
MOVLW	k	Move literal to W	1	11	00xx	kkkk	kkkk		
RETFIE	-	Return from interrupt	2	00	0000	0000	1001		
RETLW	k	Return with literal in W	2	11	01xx	kkkk	kkkk		
RETURN	-	Return from Subroutine	2	00	0000	0000	1000		
SLEEP	-	Go into standby mode	1	00	0000	0110	0011	TO,PD	
SUBLW	k	Subtract W from literal	1	11	110x	kkkk	kkkk	C,DC,Z	
XORLW	k	Exclusive OR literal with W	1	11	1010	kkkk	kkkk	Z	

Note 1: When an I/O register is modified as a function of itself (e.g., MOVF PORTB, 1), the value used will be that value present on the pins themselves. For example, if the data latch is '1' for a pin configured as input and is driven low by an external device, the data will be written back with a '0'.

2: If this instruction is executed on the TMR0 register (and, where applicable, d = 1), the prescaler will be cleared if assigned to the Timer0 Module.

3: If Program Counter (PC) is modified or a conditional test is true, the instruction requires two cycles. The second cycle is executed as a NOP.