

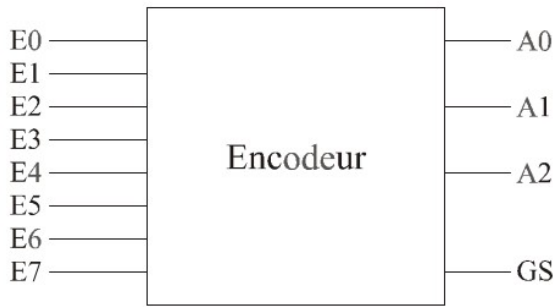
MI41 – Médian 2012

Documents non autorisés. 2h.

1. Logique combinatoire

1) Encodeur

On considère un encodeur de priorité dont la table de vérité est donné ci-dessous.



E7	E6	E5	E4	E3	E2	E1	E0	GS	A2	A1	A0
0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	1	1	0	0	0
0	0	0	0	0	0	1	X	1	0	0	1
0	0	0	0	0	1	X	X	1	0	1	0
0	0	0	0	1	X	X	X	1	0	1	1
0	0	0	1	X	X	X	X	1	1	0	0
0	0	1	X	X	X	X	X	1	1	0	1
0	1	X	X	X	X	X	X	1	1	1	0
1	X	X	X	X	X	X	X	1	1	1	1

1. Donnez les équations logiques simplifiées des 4 sorties de cet encodeur.
2. Donnez la description vhdl (entity et architecture) de cet encodeur

2) Test de nombres décimaux

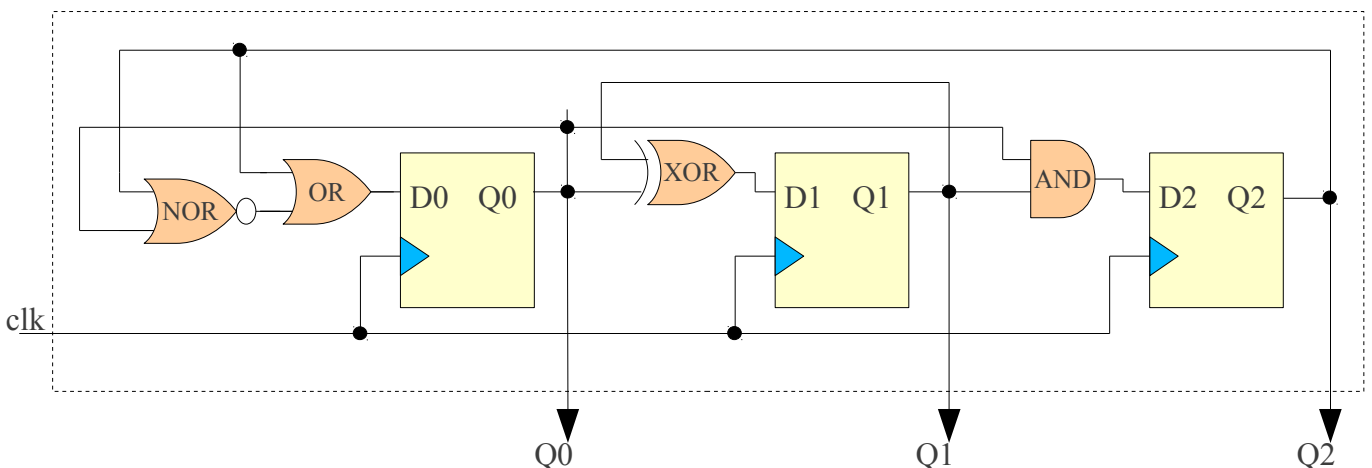
1. Donnez la description comportementale vhdl d'un composant logique qui génère un '1' logique sur sa sortie S lorsque le nombre sur son entrée E (4 bits) est décimal (compris entre 0 et 9).
2. Donnez l'équation logique la plus implé possible vérifiée par S en fonction de E3, E2, E1, E0

2. Logique séquentielle

2.1. Etude d'un circuit séquentiel

Considérez le circuit ci-dessous. Le signal clk est un signal d'horloge de période T.

1. A t = 0, Q2 = Q1 = Q0 = 0, donnez les valeurs successives présent par Q2 Q1 Q0 pour chaque période de clk.
2. Donnez une description vhdl de ce circuit.



2.2. Synthèse

1. Donnez la description vhdl d'un **décompteur** par N+1 (N+1 états distincts **dé**comptant de N à 0), où N est une donnée présente sur l'entrée E. E est une donnée sur 8 bits. Une entrée d'inhibition EN synchrone (EN = 0, valeur de sortie maintenue) et une remise à 0 synchrone nclear (active bas) seront également présentes.
2. Donnez la table de vérité puis l'équation logique de l'entrée de la bascule 0 (poids faible) de ce circuit.

