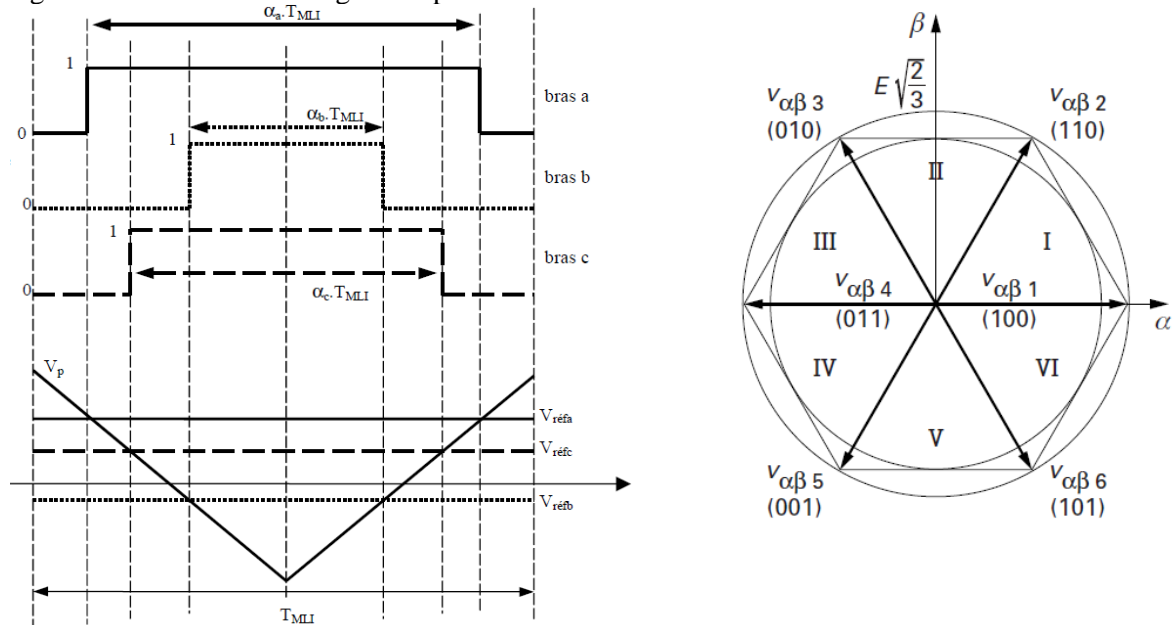


## Médian TR57 : commande en temps réel

### Commande d'une machine asynchrone par modulation de largeur d'impulsion

Un onduleur triphasé à 2 niveaux de tension alimente une machine asynchrone triphasée. Les figures ci-dessous représentent un exemple de motif MLI ainsi que la répartition dans le repère diphasé des vecteurs de tension de sortie. La tension continue en entrée de l'onduleur est  $V_{bus} = 600V$  et les signaux de commande sont générés par un DSP contrôleur TMS320LF2407A cadencé à 40 MHz.



Motif MLI (Fréquence porteuse  $F_{PWM} = 10$  kHz)      Repère diphasé. Vecteurs  $V_{\alpha\beta}$  et commande (abc)

- Placer dans le plan (Tension, Fréquence) de la commande en vitesse variable des machines asynchrones les méthodes de modulation suivantes :
  - modulation asynchrone
  - modulation synchrone
  - modulation sinusoïdale
  - modulation précalculée
- Donner deux exemples de critère de calcul d'une modulation précalculée.
- Dans le cas de la modulation vectorielle, déterminer dans quel secteur du plan  $(\alpha, \beta)$  se trouve le vecteur de tension moyenne sur une période porteuse  $V_{\alpha\beta}$  correspondant au motif MLI représenté.
- Représenter dans le plan  $(\alpha, \beta)$  le vecteur  $V_{\alpha\beta}$  correspondant au motif MLI en respectant l'échelle, dans le cas où  $\alpha_a = 0.75$ ,  $\alpha_b = 0.25$  et  $\alpha_c = 0.5$ .
- On désire plutôt utiliser la modulation sinusoïdale asynchrone. Exprimer les valeurs moyennes sur une période porteuse des tensions en sortie d'onduleur  $V_a$ ,  $V_b$  et  $V_c$  en prenant comme référence le point milieu du bus continu, en fonction de  $V_{bus}$  et respectivement de  $\alpha_a$ ,  $\alpha_b$  et  $\alpha_c$ .
- Les tensions  $V_{refa}$ ,  $V_{refb}$  et  $V_{refc}$  forment un système équilibré. Exprimer les rapports cycliques  $\alpha_a$ ,  $\alpha_b$  et  $\alpha_c$  en fonction de  $V_{max}$ ,  $\omega$  et  $t$ , (leur amplitude, leur pulsation et le temps) en considérant que la phase à l'origine de  $V_{refa}$  est nulle.
- Dans quel mode de comptage doit être configuré le générateur PWM. Donner T1CON et T1PR.
- Exprimer CMPR1, CMPR2 et CMPR3 respectivement en fonction de  $\alpha_a$ ,  $\alpha_b$  et  $\alpha_c$  et T1PR en admettant que le compteur T1CNT est assimilable en forme à  $V_p$  sur le motif ci-dessus.
- Donner la relation entre la fréquence porteuse et la fréquence de commutation des IGBTs.
- Représenter en dessous du motif MLI les signaux de commande des IGBT de l'onduleur en faisant apparaître des temps morts de durée  $T_d = T_{MLI}/20$ .
- Déterminer le contenu du registre DBTCONA pour configurer les temps morts à  $2 \mu s$ .
- Indiquer quel modèle électrique de la machine peut être adopté pour les harmoniques. Donner l'expression de l'amplitude des harmoniques de courant  $I_k$ .
- Lorsque la machine est alimentée par une tension de fréquence fondamentale  $F = 50$  Hz,

l'harmonique de tension de rang 13 vaut  $V_{13} = 200$  V. Calculer les pertes supplémentaires par effet joule dues à  $V_{13}$  dans le stator en négligeant l'effet de peau. (résistance d'une phase du stator :  $R_s = 0.2 \Omega$ , inductance d'une phase :  $L = 10$  mH).

14. Rappeler l'expression du taux de distorsion en courant.
15. Le contrôle de la machine comporte plusieurs correcteurs PI. Rappeler l'expression continue d'un correcteur PI.
16. Déterminer sa fonction de transfert en z lorsqu'il est précédé d'un bloqueur d'ordre 0.
17. Déterminer l'équation récurrente donnant la sortie du correcteur PI en fonction de son entrée.
18. La position du rotor est mesurée par un codeur de 1500 pas par tour. Décrire le principe de mesure de la position par le DSP. Indiquer comment lire la position.
19. Exprimer la vitesse de rotation du rotor  $\Omega_r(p)$  en tour/minute en fonction de la position numérique  $pos(p)$  exprimée en pas (en continu sans filtrage).
20. Déterminer la fonction de transfert  $\Omega_r(z)/pos(z)$  lorsqu'elle est précédée d'un bloqueur d'ordre 0.
21. En déduire l'équation récurrente donnant la vitesse en tr/mn en fonction de la position numérique.
22. Le contrôle en boucle fermé et la commande rapprochée sont calculées à la fréquence porteuse dans l'interruption INT1. Indiquer comment initialiser le vecteur d'interruption correspondant.
23. Quelle est la fréquence maximale possible de mise à jour de la commande.
24. Donner la structure du contenu de la fonction d'interruption sans en écrire les instructions.

## Annexes

### Registre de contrôle individuel des timers : TxCON (x=1, 2, 3 ou 4)

15	14	13	12	11	10	9	8
Free	Soft	Reserved	TMODE1	TMODE0	TPS2	TPS1	TPS0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
7	6	5	4	3	2	1	0
T2SWT1/ T4SWT3†	TENABLE	TCLKS1	TCLKS0	TCLD1	TCLD0	TECMPR	SEL1PR/ SEL3PR†
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

**Note:** R = Read access, W = Write access, -0 = value after reset  
† Reserved in T1CON and T3CON

**Bits 15–14 Free, Soft.** Emulation control bits.

- 00 Stop immediately on emulation suspend
- 01 Stop after current timer period is complete on emulation suspend
- 10 Operation is not affected by emulation suspend
- 11 Operation is not affected by emulation suspend

**Bit 13 Reserved.** Reads return zero, writes have no effect.

**Bits 12–11 TMODE1–TMODE0.** Count Mode Selection.

- 00 Stop/Hold
- 01 Continuous-Up/Down Count Mode
- 10 Continuous-Up Count Mode
- 11 Directional-Up/Down Count Mode

**Bits 10–8 TPS2–TPS0.** Input Clock Prescaler.

000	x/1	100	x/16
001	x/2	101	x/32
010	x/4	110	x/64
011	x/8	111	x/128

x = device (CPU) clock frequency

**Bit 7 T2SWT1.** In the case of EVA, this bit is T2SWT1. (GP timer 2 start with GP timer 1.) Start GP timer 2 with GP timer 1's timer enable bit. This bit is reserved in T1CON.

**T4SWT3.** In the case of EVB, this bit is T4SWT3. (GP timer 4 start with GP timer 3.) Start GP timer 4 with GP timer 3's timer enable bit. This bit is reserved in T3CON.

- 0 Use own TENABLE bit
- 1 Use TENABLE bit of T1CON (in case of EVA) or T3CON (in case of EVB) to enable and disable operation ignoring own TENABLE bit

**Bit 6 TENABLE.** Timer enable.

- 0 Disable timer operation (the timer is put in hold and the prescaler counter is reset)
- 1 Enable timer operations

**Bits 5–4 TCLKS1, TCLKS0.** Clock Source Select.

5	4	Source
0	0	Internal
0	1	External
1	0	Reserved
1	1	QEP Circuit1 (in case of Timer 2/Timer 4) Reserved (in case of Timer 1/Timer 3)

† This option is valid only if SEL1PR = 0

**Bits 3–2 TCLD1, TCLD0.** Timer Compare Register Reload Condition.

- 00 When counter is 0
- 01 When counter value is 0 or equals period register value
- 10 Immediately
- 11 Reserved

**Bit 1 TECMPR.** Timer compare enable.

- 0 Disable timer compare operation
- 1 Enable timer compare operation

**Bit 0 SEL1PR.** In the case of EVA, this bit is SEL1PR (Period register select). When set to 1 in T2CON, the period register of Timer 1 is chosen for Timer 2 also, ignoring the period register of Timer 2. This bit is a reserved bit in T1CON.

**SEL3PR.** In the case of EVB, this bit is SEL3PR (Period register select). When set to 1 in T4CON, the period register of Timer 3 is chosen for Timer 4 also, ignoring the period register of Timer 4. This bit is a reserved bit in T3CON.

- 0 Use own period register
- 1 Use T1PR (in case of EVA) or T3PR (in case of EVB) as period register ignoring own period register

### Dead-Band Timer Control Register A : DBTCONA

15–12	11	10	9	8
Reserved	DBT3	DBT2	DBT1	DBT0
R-0	RW-0	RW-0	RW-0	RW-0
7	6	5	4	3
EDBT3	EDBT2	EDBT1	DBTPS2	DBTPS1
RW-0	RW-0	RW-0	RW-0	RW-0
DBTPS0	Reserved			
R-0				

**Note:** R = Read access, W = Write access, -0 = value after reset

**Bits 15–12 Reserved.** Reads return zero; writes have no effect.

**Bits 11–8 DBT3 (MSB)–DBT0 (LSB).** Dead-band timer period. These bits define the period value of the three 4-bit dead-band timers.

**Bit 7 EDBT3.** Dead-band timer 3 enable (for pins PWM5 and PWM6 of Compare Unit 3).

- 0 Disable
- 1 Enable

**Bit 6 EDBT2.** Dead-band timer 2 enable (for pins PWM3 and PWM4 of Compare Unit 2).

- 0 Disable
- 1 Enable

**Bit 5 EDBT1.** Dead-band timer 1 enable (for pins PWM1 and PWM2 of Compare Unit 1).

- 0 Disable
- 1 Enable

**Bits 4–2 DBTPS2 to DBTPS0.** Dead-band timer prescaler.

000	x/1
001	x/2
010	x/4
011	x/8
100	x/16
101	x/32
110	x/32
111	x/32

x = Device (CPU) clock frequency

**Bits 1–0 Reserved.** Reads return zero; writes have no effect.